



PATENT  
ATTORNEY DOCKET NO. 053785-5157

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
 )  
Young-Joo KIM )  
 )  
Application No.: 10/717,676 ) Group Art Unit: Unassigned  
 )  
Filed: November 21, 2003 ) Examiner: Unassigned

For: METHOD OF CRYSTALLIZING AMORPHOUS SILICON AND DEVICE  
FABRICATED USING THE SAME

Commissioner for Patents  
Arlington, VA 22202

Sir:

**SUBMISSION OF PRIORITY DOCUMENT**

Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing date of Korean Application No. 2002-0073554, filed November 25, 2002 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is one certified copy of the above.

Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

By:

Robert J. Goodell, Reg. No. 41,040

Dated: February 4, 2004

MORGAN, LEWIS & BOCKIUS LLP  
1111 Pennsylvania Avenue, NW  
Washington, D.C. 20004  
202-739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0073554  
Application Number

출원 년 월 일 : 2002년 11월 25일  
Date of Application NOV 25, 2002

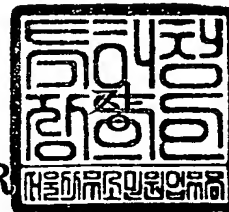
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 10 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002.11.25  
**【발명의 명칭】** 순차측면고상 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법  
**【발명의 영문명칭】** Method of Solidification for Amorphous Silicon layer using a Sequential Lateral Solidification Crystallization Technology  
**【출원인】**  
**【명칭】** 엘지 .필립스엘시디(주)  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 정원기  
**【대리인코드】** 9-1998-000534-2  
**【포괄위임등록번호】** 1999-001832-7  
**【발명자】**  
**【성명의 국문표기】** 김영주  
**【성명의 영문표기】** KIM,YOUNG JOO  
**【주민등록번호】** 720621-1802517  
**【우편번호】** 706-031  
**【주소】** 대구광역시 수성구 수성1가 96-14 우방 오성타운 106-601  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 6 항 301,000 원  
**【합계】** 330,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에서는, 절연 기판 상에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층 상에 소정의 빔폭을 가지는 완전 용융 영역대 에너지 밀도의 제 1 레이저 빔을 여러 번 중첩되게 조사하여 결정질 실리콘층을 형성하는 단계와; 상기 결정질 실리콘 전면에서 부분 용융 영역대 에너지 밀도의 제 2 레이저 빔을 조사하여, 상기 결정질 실리콘층을 표면처리하는 단계를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법을 제공함으로써, 미세한 결정립자로 이루어지는 디펙트를 효과적으로 제거할 수 있고, 더욱이 상기 표면처리 단계를 통해 디펙트 영역에 의해 끊어진 결정립계를 연결시킬 수 있으며, 부분 용융 영역대의 레이저 조사를 통해 디펙트 영역을 제거하기 때문에 결정질 실리콘의 결정화 특성에 손상을 주지 않아, 신뢰성 높은 TFT 소자 재료로 이용할 수 있고, 진공 챔버 조건에서 표면 처리를 진행하는 실시예에 의하면, 표면 거칠기 증가를 방지할 수 있는 효과를 가진다.

**【대표도】**

도 3b

**【명세서】****【발명의 명칭】**

순차측면고상 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법{Method of Solidification for Amorphous Silicon layer using a Sequential Lateral Solidification Crystallization Technology}

**【도면의 간단한 설명】**

도 1a 내지 1d는 일반적인 SLS 결정화 기술에 의한 비정질 실리콘의 결정화 공정을 단계별로 나타낸 도면.

도 2는 상기 도 1d의 "ii" 영역에 대한 확대도면.

도 3a, 3b는 본 발명의 제 1 실시예에 따른 SLS 결정화 기술을 이용한 결정질 실리콘막의 표면처리 공정을 나타낸 도면.

도 4a, 4b는 상기 도 3b의 "I" 영역을 공정 단계별로 나타낸 확대도.

도 5는 본 발명의 제 2 실시예에 따른 결정질 실리콘의 표면처리 공정 단계를 나타낸 도면.

**<도면의 주요 부분에 대한 부호의 설명>**

110a : 서브 결정립

110b : 서브 결정립계

112 : 메인 결정립계

120 : 결정질 실리콘

122 : 미세한 결정립자

I : 디펙트 영역

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 비정질 실리콘층의 결정화 방법에 관한 것이며, 특히 완전 용융 영역대의 에너지를 이용하여 측면고상 결정화하는 공정으로 정의되는 SLS(Sequential Lateral Solidification) 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법에 관한 것이다.
- <11> 상기 SLS 결정화 공정은, 실리콘 결정립이 액상 실리콘과 고상 실리콘의 경계면에서, 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용하여 단결정 실리콘을 형성하는 기술(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)을 통해 소개되었고, 상기 SLS 결정화 기술에서는, 레이저 에너지 크기와 레이저 빔의 조사범위 및 그 이동거리(translation distance)를 적절하여 조절하여, 실리콘 결정립을 소정의 길이만큼 측면성장시킴으로써, 비정질 실리콘을 단결정 수준으로 결정화시킬 수 있는 것을 특징으로 한다.
- <12> 도 1a 내지 1d는 일반적인 SLS 결정화 기술에 의한 비정질 실리콘의 결정화 공정을 단계별로 나타낸 도면이다.
- <13> 도 1a는, 비정질 상태의 실리콘막(10)에 소정의 빔폭(w1)을 가지는 제 1차 레이저 빔을 조사하여, 상기 제 1차 레이저 빔이 조사된 실리콘막(10)을 완전용융시키는 단계이다.
- <14> 이 단계를 통해, 레이저 빔의 에지부분에서는 완전 용융 영역대 에너지 밀도보다 낮은 에너지에 의해 실리콘막(10)이 용융됨에 따라 씨드(12)가 형성된다.

- <15> 도 1b는, 상기 씨드(12) 들을 이용하여 화살표 방향으로 서브 결정립(14a)으로 성장시키는 단계로서, 두 방향의 서브 결정립(14a)들은 서로 접하는 지점에서 성장을 멈추면서 메인 결정립계(16)를 형성한다.
- <16> 서로 이웃하는 서브 결정립(14a) 간의 경계부는 서브 결정립계(14b)를 이룬다.
- <17> 상기 서브 결정립(14a) 및 서브 결정립계(14b)는 폴리 상태의 실리콘막(14)을 이룬다.
- <18> 도 1c는, 상기 폴리 상태의 실리콘막(14)과, 비정질 상태의 실리콘막(10)의 경계부를 덮는 영역(i)에 제 2차 레이저 빔을 조사하는 단계이고, 도 1d는 제 N(N은 양의 정수)차 레이저 빔의 조사를 통해 원하는 결정립 크기를 가지는 결정질 실리콘막(18)을 완성하는 단계이다.
- <19> 이때, "ii" 영역은 도 2를 통해 확대도시한 바와 같이, 비정질 실리콘이 용융된 후 응고 시 응고 속도 및 밀도 차이에 의해 필연적으로 인접한 결정립 들 간에 미세한 결정입자(18) 들이 형성되는데, 이러한 마이크로(micro) 단위의 미세한 결정입자(18)들은 디펙트 영역(defect site)으로 작용한다.
- <20> 좀 더 상세히 설명하면, 레이저 빔 간의 중첩 영역에서의 서브 결정립(14a), 서브 결정립계(14b), 메인 결정립계(16) 영역에서 디펙트 영역은 TFT 소자의 특성을 저하시키는 문제점이 있다.
- 【발명이 이루고자 하는 기술적 과제】**
- <21> 상술한 문제점을 해결하기 위하여, 본 발명에서는 박막트랜지스터 소자 특성을 향상시킬 수 있는 SLS 결정화 기술을 이용한 비정질 실리콘의 결정화 방법을 제공하는 것을 목적으로 한다.

- <22> 이를 위하여, 본 발명에서는 SLS 결정화 공정 후 결정질 실리콘 전면에 표면 처리용 레이저 빔을 추가로 조사하여, 디펙트로 작용하는 미세한 결정립자를 재결정화하고자 한다.
- <23> 전술한 에너지 밀도는 부분 용융 영역대의 에너지 밀도에서 선택되는 것이 바람직하다.

#### 【발명의 구성 및 작용】

- <24> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 절연 기판 상에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층 상에 소정의 빔폭을 가지는 완전 용융 영역대 에너지 밀도의 제 1 레이저 빔을 여러 번 중첩되게 조사하여 결정질 실리콘층을 형성하는 단계와; 상기 결정질 실리콘 전면에 부분 용융 영역대 에너지 밀도의 제 2 레이저 빔을 조사하여, 상기 결정질 실리콘층을 표면처리하는 단계를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법을 제공한다.
- <25> 상기 결정질 실리콘은, 서브 결정립과, 서브 결정립 간의 경계부에 위치하는 서브 결정립계와, 서로 마주보는 방향으로 성장된 서브 결정립 그룹간의 접촉 지점에 위치하는 메인 결정립계로 이루어지고, 상기 표면처리 단계에서는 상기 서브 결정립계, 메인 결정립계, 상기 제 1 레이저 빔 중첩 구간에서의 서브 결정립 영역에 위치하는 미세한 결정립자 들을 재결정화하는 단계이고, 상기 표면처리 단계는 진공 상태의 챔버 내에서 이루어지며, 상기 표면처리 단계는 불활성 기체 상태의 챔버 내에서 이루어지는 것을 특징으로 한다.
- <26> 본 발명의 제 2 특징에서는, 완전 용융 영역대 에너지 밀도를 가지는 제 1 레이저 빔 조사를 통해 형성된 결정질 실리콘 기판을 진공 챔버 내에 배치하는 단계와; 부분 용융 영역대



에너지 밀도의 제 2 레이저 빔을 결정질 실리콘 기판 전면에서 조사하는 단계를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법을 제공한다.

- <27>       상기 진공 챔버 상부면은 유전성 윈도우(dielectric window)로 이루어지고, 상기 제 2 레이저 빔은 유전성 윈도우를 통과하여 진공 챔버 내 결정질 실리콘 기판에 조사되는 것을 특징으로 한다.
- <28>       이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- <29>       본 발명은 SLS 결정화 기술을 이용한 비정질 실리콘의 결정화 방법에 관한 것으로, 기존의 SLS 결정화 공정에서 여러 번의 레이저 샷 중첩을 통해 결정립을 성장시키는 과정에서, 마이크로 단위의 미세한 결정립자가 결정립 및 결정립계 내부에 생성되어 박막트랜지스터의 소자 특성을 저하시키는 디펙트로 작용하는 것을 방지하기 위하여, SLS 결정화 공정 후 미세한 결정립자를 용융시켜 재결정화시킬 수 있을 정도의 에너지 크기를 가지는 레이저 빔을 결정질 실리콘막 전면에서 조사하는 방법으로 표면처리를 하는 것을 특징으로 한다.
- <30>       상기 표면처리를 위한 레이저 빔의 에너지 밀도는 부분 용융 영역대의 에너지 밀도로 하는 것이 바람직하다.
- <31>       그리고, 또한 본 발명에서는 전술한 표면처리 중 대기와의 접촉을 통한 열산화 반응에 의해 결정질 실리콘의 거칠기(roughness)가 증가되는 것을 방지하기 위해, 진공 챔버 내에서 결정질 실리콘막의 표면 처리 공정을 진행하는 것을 또 하나의 특징으로 한다.

- <33> 도 3a, 3b는 본 발명의 제 1 실시예에 따른 SLS 결정화 기술을 이용한 결정질 실리콘막의 표면처리 공정을 나타낸 도면으로서, 상기 SLS 결정화 기술에 의해 결정질 실리콘을 형성하는 공정은 상기 도 1a 내지 1d 단계를 적용할 수 있으므로 생략한다.
- <34> 상기 SLS 결정화 기술을 이용하여 비정질 상태의 실리콘을 결정화하는 공정은,
- <35> 1) 한 예로 2 ~ 3  $\mu\text{m}$ 으로 빔폭이 조절된 제 1차 레이저 빔을 이용하여, 상기 레이저 빔이 조사된 실리콘 영역을 완전 용융한다. 이때, 레이저 빔 펄스의 수명(pulse duration time)은 수십 ns(nano second)에 해당된다.
- <36> 2) 완전 용융 상태의 실리콘 영역과, 비정질 상태의 실리콘 영역의 경계면에 위치하는 실리콘 영역 즉 빔 에지 부분에서 씨드가 생성되어, 씨드가 결정핵으로 작용하여 서로 마주보는 방향으로 결정립을 성장해가고, 두 방향으로 결정립들이 접촉되는 지점에서 성장을 멈춘다.
- <37> 3) 상기 결정립 들이 성장을 멈춘 지점은 메인 결정립계를 이루고, 상기 결정질 실리콘 영역과 이웃하는 비정질 상태의 실리콘 영역과 중첩되게 전술한 제 1차 레이저 빔과 동일한 조건의 제 2차 레이저 빔을 조사하여, 상기 결정립을 연속으로 성장시킨다.
- <38> 이 단계에서는, 제 1차 레이저 빔의 조사를 통해 성장된 결정립을 결정핵으로 이용하여 결정립 사이즈를 조대화시킨다.
- <39> 4) 전술한 제 1, 2차 레이저 빔의 원리를 이용하여, 제 N차 레이저 빔의 조사를 통해 원하는 크기의 결정립을 성장시켜 단결정 수준의 결정질 실리콘을 형성하며, 이러한 일련의 공정을 거쳐 형성된 결정질 실리콘의 결정상태 및 본 발명의 핵심 공정은 후술하는 바와 같다.

- <40> 도 3a는, 서브 결정립(110a)과, 서브 결정립(110a) 간의 경계부에 위치하는 서브 결정립계(110b) 그리고, 서로 마주보는 방향으로 성장된 서브 결정립(110a) 들 간의 경계부에 위치하는 메인 결정립계(112)는 결정질 실리콘(120)을 이루고, 메인 결정립계(112) 및 서브 결정립계(110b) 그리고, 서로 다른 레이저 샷의 중첩된 부분의 서브 결정립계(110b) 영역에서는 미세한 결정립자(122) 생성에 의해 디펙트 영역(I)이 존재한다.
- <41> 상기 디펙트 영역(I)을 포함하는 결정질 실리콘(120)은 기존의 SLS 결정화 공정을 거쳐 형성된 결정질 실리콘층에 해당된다.
- <42> 도 3b는, 상기 도 3a에서 형성된 디펙트 영역(I) 전면에 레이저 빔을 조사하여, 미세한 결정립자(122) 들을 재결정화시키는 방법으로 표면처리를 한다.
- <43> 상기 표면처리를 위한 레이저 빔 에너지 밀도는 결정질 실리콘의 결정 특성을 손상시키지 않기 위해 부분 용융 에너지 밀도에서 선택되는 것이 바람직하다.
- <44> 상기 표면처리 단계에서는, 별도의 슬릿빔을 이용하지 않고 결정질 실리콘(120) 전체에 걸쳐 레이저 빔을 조사하는 것을 특징으로 한다.
- <45> 도 4a, 4b는 상기 도 3b의 "I" 영역을 공정 단계별로 나타낸 확대도이다.
- <46> 도 4a는, 메인 결정립계(112) 영역에 미세한 결정립자(122)들이 밀집되어 있고, 이러한 미세한 결정립자(122)들은 디펙트 영역(I)을 이루므로, 이러한 디펙트 영역(I)을 용융시킬 수 있을 정도의 레이저 빔 조사하여, 도 4b에서와 같이 미세한 결정립자(122)들을 용융시켜 디펙트 영역(I) 제거를 통해 디펙트 영역(I)에 의해 끊어진 서로 마주보는 방향 서브 결정립(110a)들을 연결시키는 것을 특징으로 한다.

<47> - 실시예 2 -

<48> 본 실시예는 상기 실시예 1에 따른 표면 처리 단계를 진공 챔버 내에서 진행함으로써, 결정질 실리콘의 거칠기 증가를 방지하는 실시예이다.

<49> 도 5는 본 발명의 제 2 실시예에 따른 결정질 실리콘의 표면 처리 공정 단계를 나타낸 도면이다.

<50> 도시한 바와 같이, 진공 챔버(210) 내의 스테이지(212 ; stage) 상부에는 결정질 실리콘 기판(224)이 배치되어 있는 구조에서, 상기 진공 챔버(210)의 상부면은 유전성 윈도우(214 ; dielectric window)로 이루어져, 외부의 표면처리를 위한 레이저 빔이 진공 챔버(210) 내의 결정질 실리콘 기판(224)으로 조사됨에 무리가 없도록 한다.

<51> 상기 결정질 실리콘 기판(224)은 절연 기판(220)과, 절연 기판(220) 상에 형성된 결정질 실리콘층(222)으로 이루어진다.

<52> 상기 진공 챔버(210)는 진공 분위기 또는 불활성 기체 분위기인 것을 특징으로 한다.

<53> 본 실시예의 공정 메커니즘에 대해서 좀 더 상세히 설명하면, 대기 중에서 결정질 실리콘의 표면 처리를 진행할 경우 표면 처리를 위한 레이저 빔 조사에 의해 결정질 실리콘의 표면이 용융되는 과정에서 대기와 실리콘 이온이 열산화 반응을 일으켜 결정질 실리콘의 표면 거칠기가 증가하는 것을 방지하기 위해 진공 챔버 조건에서 표면 처리 공정을 진행하는 것이 더욱 바람직하다.

<54> 본 발명은 상기 실시예 들로 한정되지 않고, 본 발명의 취지에 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

**【발명의 효과】**

- <55>        이상과 같이, 본 발명에 따른 표면 처리 단계를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘의 결정화 방법에 의하면, 미세한 결정립자로 이루어지는 디펙트를 효과적으로 제거할 수 있고, 더욱이 상기 표면처리 단계를 통해 디펙트 영역에 의해 끊어진 결정립계를 연결시킬 수 있으며, 부분 용융 영역대의 레이저 조사를 통해 디펙트 영역을 제거하기 때문에 결정질 실리콘의 결정화 특성에 손상을 주지 않아, 신뢰성 높은 TFT 소자 재료로 이용할 수 있다.
- <56>        또한, 진공 챔버 조건에서 표면 처리를 진행하는 실시예에 의하면, 표면 거칠기 증가를 방지할 수 있는 효과를 가진다.

**【특허청구범위】****【청구항 1】**

절연 기판 상에 비정질 실리콘층을 형성하는 단계와;

상기 비정질 실리콘층 상에 소정의 빔폭을 가지는 완전 용융 영역대 에너지 밀도의 제 1 레이저 빔을 여러 번 중첩되게 조사하여 결정질 실리콘층을 형성하는 단계와;

상기 결정질 실리콘 전면에서 부분 용융 영역대 에너지 밀도의 제 2 레이저 빔을 조사하여, 상기 결정질 실리콘층을 표면처리하는 단계

를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 결정질 실리콘은, 서브 결정립과, 서브 결정립 간의 경계부에 위치하는 서브 결정립계와, 서로 마주보는 방향으로 성장된 서브 결정립 그룹간의 접촉 지점에 위치하는 메인 결정립계로 이루어지고, 상기 표면처리 단계에서는 상기 서브 결정립계, 메인 결정립계, 상기 제 1 레이저 빔 중첩 구간에서의 서브 결정립 영역에 위치하는 미세한 결정립자 들을 재결정화하는 단계인 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 표면처리 단계는 진공 상태의 챔버 내에서 이루어지는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

【청구항 4】

제 1 항에 있어서,

상기 표면처리 단계는 불활성 기체 상태의 챔버 내에서 이루어지는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

【청구항 5】

완전 용융 영역대 에너지 밀도를 가지는 제 1 레이저 빔 조사를 통해 형성된 결정질 실리콘 기판을 진공 챔버 내에 배치하는 단계와;

부분 용융 영역대 에너지 밀도의 제 2 레이저 빔을 결정질 실리콘 기판 전면에서 조사하는 단계

를 포함하는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

【청구항 6】

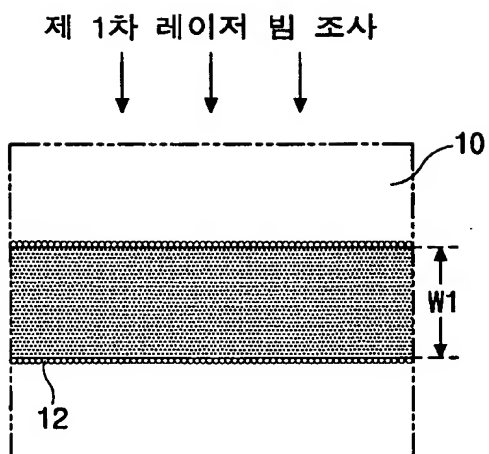
제 5 항에 있어서,

상기 진공 챔버 상부면은 유전성 윈도우(dielectric window)로 이루어지고, 상기 제 2 레이저 빔은 유전성 윈도우를 통과하여 진공 챔버 내 결정질 실리콘 기판에 조사되는 SLS 결정화 기술을 이용한 비정질 실리콘층의 결정화 방법.

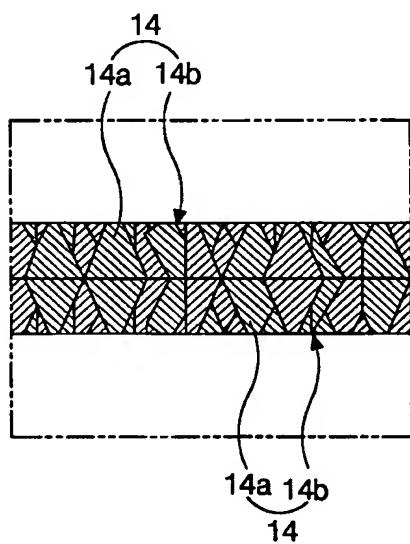


【도면】

【도 1a】

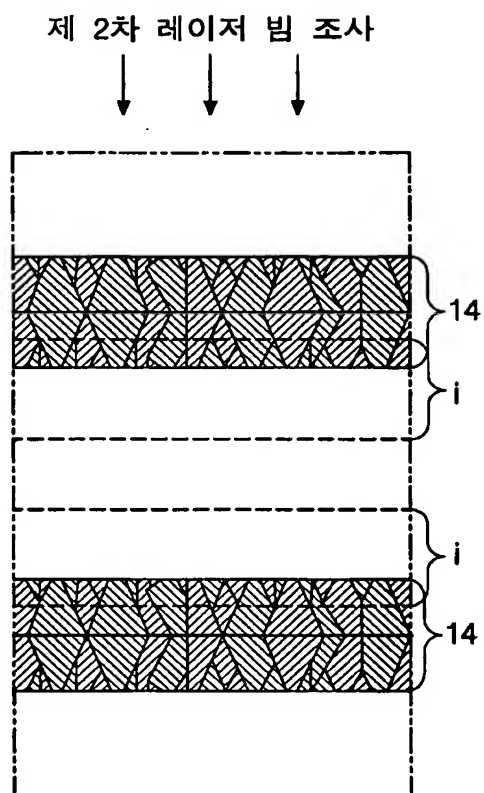


【도 1b】



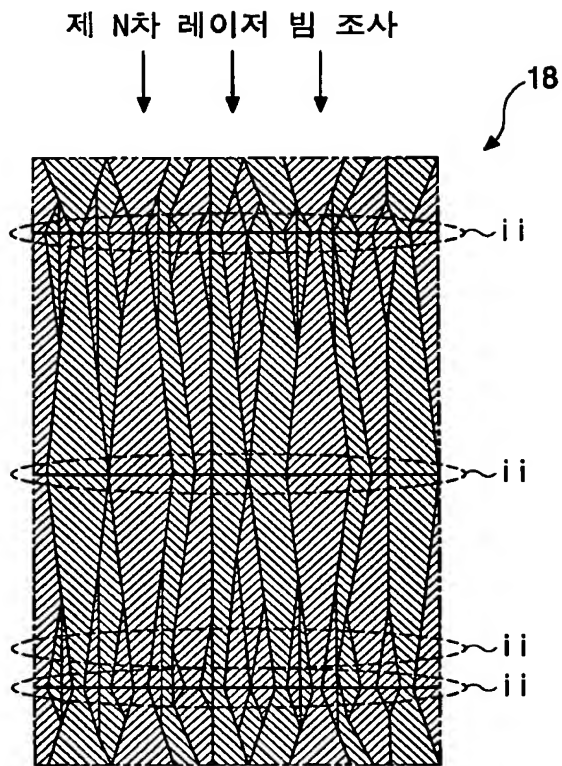


【도 1c】

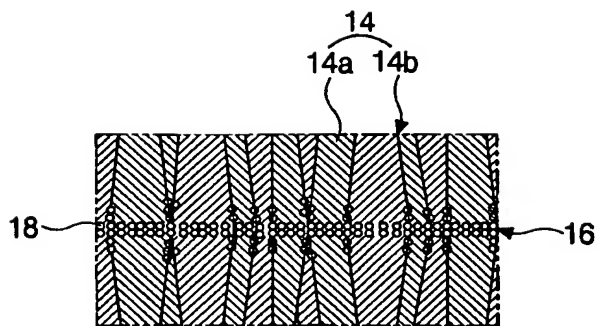




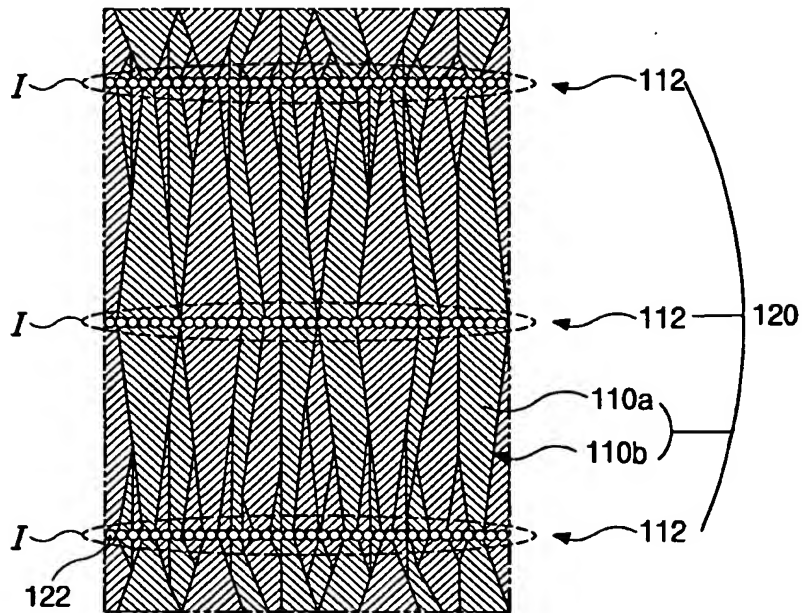
【도 1d】



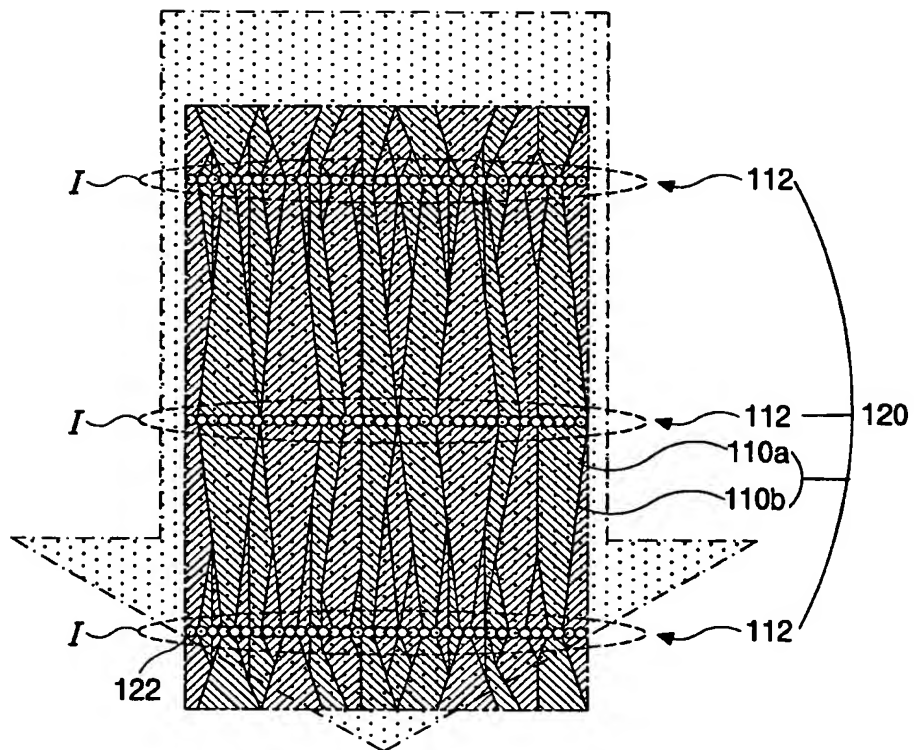
【도 2】



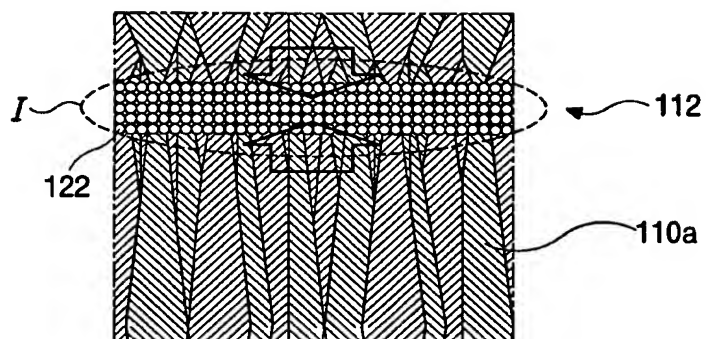
【도 3a】



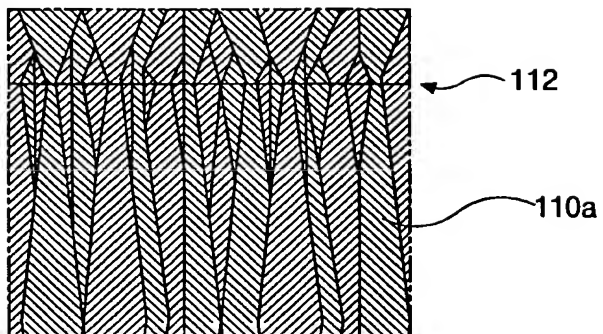
【도 3b】



【도 4a】



【도 4b】



【도 5】

